

ANALISIS PENINGKATAN KECEPATAN IC FLIP-FLOP R-S HCMOS MENGGUNAKAN METODE PENAMBAHAN KASKADE INVERTER

Elisabeth Tansiana Mbitu¹, Widiyanto²

¹Politeknik Negeri Ambon, ²Universitas Muhammadiyah Malang

¹elisabethtansianambitu@gmail.com, ²widiyanto@umm.ac.id

Abstract - HCMOS technology is CMOS technology in integrated circuits with the addition of cascade inverter. IC RS flip-flop is a HCMOS IC CMOS RS flip-flop with the addition of two cascade inverter on the output side. The purpose of this study is to increase the speed of propagation delay of IC RS flip-flop cascade HCMOS inverter using the addition method. By adding the two cascades, cascade four, and six cascade on RS flip-flop and set comparison HCMOS W and L are expected to know the change in velocity resulting from the RS flip-flop. Simulations were performed with the PSPICE program at a temperature of 117 °C, $C_L = 15$ pF, and $f = 2$ MHz showed that the RS flip-flop cascade produces HCMOS six $t_{PD} = 9$ times faster and PDP = 9 times smaller than the RS flip-flop HCMOS four cascades. While the RS flip-flop cascade produces HCMOS four $t_{PD} = 9$ times faster and PDP = 9 times smaller than t_{PD} RS flip-flop HCMOS two cascades. IC layout depiction RS flip-flop cascade with HCMOS six pada i / o is done with the program Microwind has an area 2.8 mm x 1.5 mm.

Keywords: HCMOS; cascade; propagation delay; fan out; layout

Abstrak - Teknologi HCMOS merupakan teknologi CMOS dalam rangkaian terpadu dengan penambahan kaskade inverter. IC flip-flop R-S HCMOS merupakan IC flip-flop R-S CMOS dengan penambahan dua kaskade inverter pada sisi outputnya. Tujuan penelitian ini adalah meningkatkan kecepatan *propagation delay* IC flip-flop R-S HCMOS menggunakan metode penambahan kaskade inverter. Dengan menambahkan dua kaskade, empat kaskade, dan enam kaskade pada flip-flop R-S HCMOS serta mengatur perbandingan W dan L diharapkan dapat diketahui perubahan kecepatan yang dihasilkan dari flip-flop R-S tersebut. Simulasi yang dilakukan dengan program *PSPICE* pada suhu 117 °C, $C_L = 15$ pF, dan $f = 2$ MHz menunjukkan bahwa flip-flop R-S HCMOS enam kaskade menghasilkan $t_{PD} = 9$ kali lebih cepat dan PDP = 9 kali lebih kecil dari flip-flop R-S HCMOS empat kaskade. Sedangkan flip-flop R-S HCMOS empat kaskade menghasilkan $t_{PD} = 9$ kali lebih cepat dan PDP = 9 kali lebih kecil dari t_{PD} flip-flop R-S HCMOS dua kaskade. Penggambaran *layout* IC flip-flop R-S HCMOS enam kaskade dengan pada i/o yang dilakukan dengan program *Microwind* memiliki luasan 2,8 mm x 1,5 mm.

Kata kunci: HCMOS; kaskade; propagation delay; fan out; layout

I. PENDAHULUAN

Teknologi HCMOS (*High Speed Complementary Metal Oxide*) merupakan teknologi CMOS (*Complementary Metal Oxide Semiconductor*) dalam rangkaian terpadu (*Integrated Circuit*) dengan penambahan kaskade inverter pada sisi outputnya.

Keunggulan teknologi HCMOS dibanding dengan TTL (*Transistor Transistor Logic*) antara lain: sistem konsumsi daya yang lebih rendah, lebih tahan terhadap noise, dan memiliki range supply tegangan yang lebih lebar [1].

Hodges pada tahun 2004 menyatakan bahwa tujuan akhir dari desain logika kecepatan tinggi dalam teknologi CMOS adalah untuk mengoptimalkan kecepatan, meminimalkan area dan disipasi dayanya. Sedangkan ukuran gerbang berfungsi untuk mengoptimalkan waktu tunda.

Kecepatan operasi gerbang digital diukur melalui tiga parameter yaitu waktu naik (*rise time*), waktu turun (*fall time*) dan *propagation delay*. Parameter ini mempengaruhi keseluruhan waktu delay yang dihasilkan ketika gerbang melakukan transisi dari keadaan satu ke lainnya. Waktu tunda terjadi karena terdapat efek kapasitansi yang terdapat pada gerbang masukan dan keluaran. Selain itu, efek kapasitansi juga timbul pada jalur koneksi antar gerbang [2].

Sebagaimana dijelaskan oleh Geiger pada tahun 1990 [3]. Salah satu konfigurasi yang dapat digunakan untuk mengurangi *propagation delay* adalah konfigurasi inverter yang dipasang secara kaskade. Konfigurasi ini terdiri atas gabungan n inverter (termasuk gerbang referensi awal). Dimana n merupakan jumlah stage yang dikaskade.

Flip-flop R-S HCMOS memiliki *propagation delay* yang lebih cepat dibanding flip-flop R-S CMOS. Perbedaan yang mendasar antara flip-flop R-S HCMOS dan flip-flop R-S CMOS yaitu adanya penambahan dua inverter yang dipasang secara kaskade pada sisi output flip-flop R-S HCMOS. Dalam penelitian ini akan dianalisis

penambahan inverter yang dipasang secara kaskade pada sisi output flip-flop R-S HCMOS dalam hubungan peningkatan kecepatan *propagation delay* [4].

II. TINJAUAN PUSTAKA

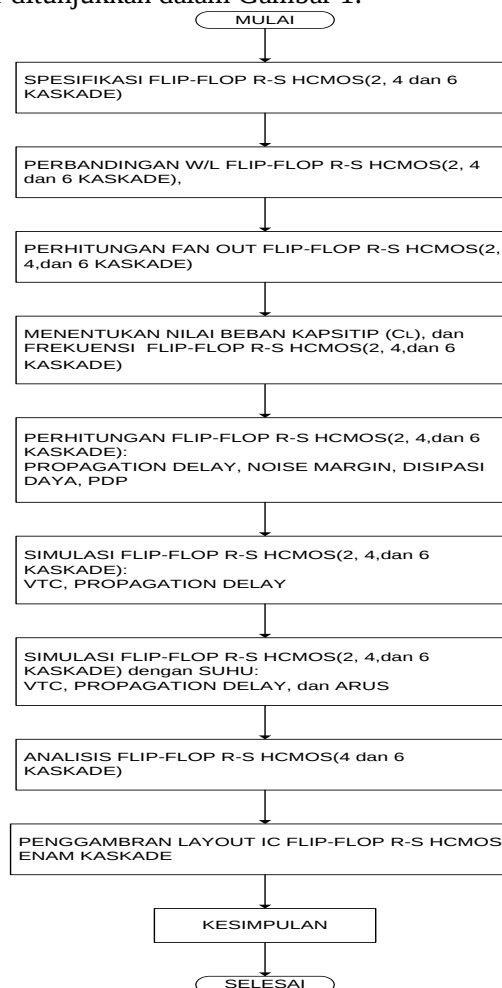
Teknologi CMOS memberikan beberapa keuntungan dalam rangkaian terpadu OC (*Optic Communication*) modern. Lapisan *metal*, bagian dalam *n-well*, dan struktur MOS menjadikan devais dasar CMOS lebih tinggi kecepatannya dan lebih besar keterpaduannya. Selain itu, suplai tegangan rendah juga dirubah menjadi disipasi daya yang lebih rendah. Dengan kemajuan yang pesat dalam sistem OC, teknologi CMOS mampu menjadi solusi efisiensi biaya yang rendah [5][6][7].

Dalam perancangan rangkaian NOR flip-flop R-S CMOS diketahui: nilai *propagation delay* yang kecil dapat diperoleh dengan memperkecil beban kapasitif (C_L) dan memperbesar nilai catu tegangan, NOR flip-flop R-S CMOS dapat bekerja dengan baik pada catu daya +5 V dan beban kapasitansi (C_L) $0,3 \text{ pF} < C_L < 1 \text{ pF}$, t_{PHL} jauh lebih singkat dari t_{PLH} , perbandingan $(W/L)_p = (W/L)_n$ berakibat pada perbedaan $(W/L)_{TOTAL}$, kinerja rangkaian NOR flip-flop R-S CMOS jauh lebih baik dari rangkaian NOR flip-flop R-S TTL [8][9].

32 bit PE (*Priority Encoders*) kecepatan-tinggi dan daya-rendah yang dirancang dengan penambahan dua kaskade gerbang *n-type* dalam teknologi CMOS 3-V 0,6 μm ternyata mampu memperbaiki kecepatan 65 %, mengurangi area layoutnya 20 %, dan mengurangi dayanya 30 % [10][11][12].

III. METODE

Tahapan penelitian yang dilakukan dalam meningkatkan kecepatan IC flip-flop R-S HCMOS menggunakan metode penambahan kaskade inverter ditunjukkan dalam Gambar 1.



Gambar 1. Tahapan Penelitian Peningkatan Kecepatan IC flip-flop R-S HCMOS Menggunakan Metode Penambahan Kaskade Inverter

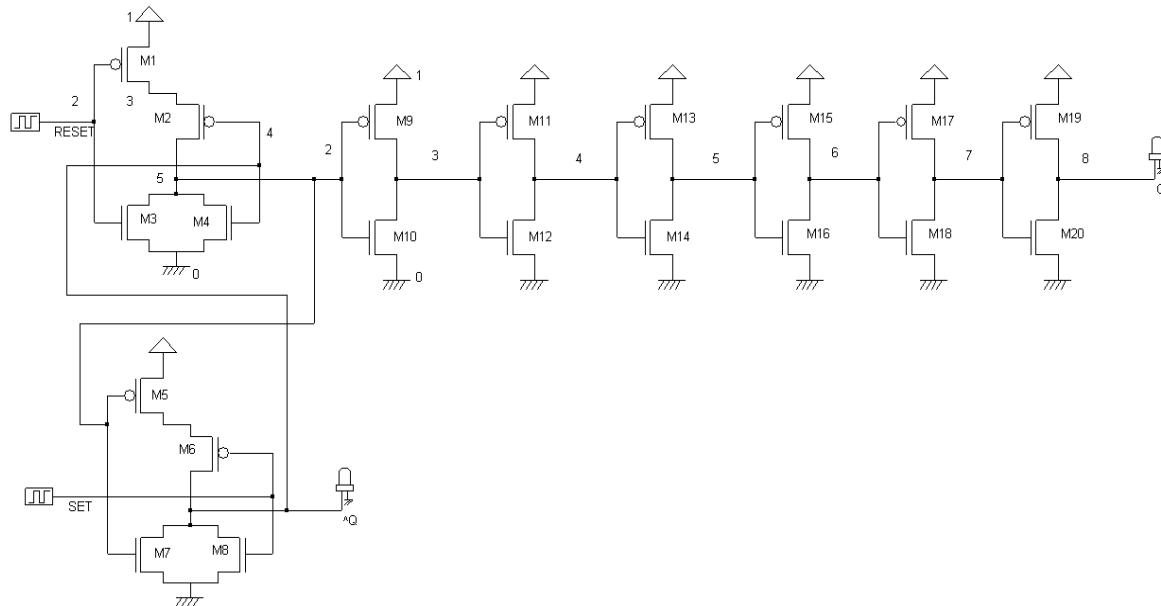
IV. HASIL DAN PEMBAHASAN

Pembahasan tentang peningkatan kecepatan IC flip-flop R-S HCMOS menggunakan metode penambahan kaskade inverter meliputi:

- 1) Rangkaian flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade
- 2) Perbandingan W dan L flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade
- 3) *Fan out* flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade

Rangkaian flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade ditunjukkan dalam Gambar 2.

Perbandingan W dan L flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade ditunjukkan dalam Tabel 1. *Fan out* flip-flop R-SHCMOS dua kaskade, empat kaskade, dan enam kaskade ditunjukkan dalam Tabel 2.



**Gambar 2. Rangkaian flip-flop R-S HCMOS
Kaskade Dua Kaskade, Empat Kaskade Dan Enam Kaskade**

Dalam Gambar 2. diketahui bahwa:

- 1) Gerbang dasar rangkaian flip-flop R-S HCMOS dua kaskade adalah M_1 - M_8 sedangkan dua kaskade inverternya adalah M_9 - M_{12}
- 2) Gerbang dasar rangkaian flip-flop R-S HCMOS empat kaskade adalah sama dengan gerbang dasar dua kaskade sedangkan empat kaskade inverternya adalah M_9 - M_{16}
- 3) Rangkaian flip-flop R-S HCMOS enam kaskade memiliki gerbang dasar yang sama dengan gerbang dasarnya dua kaskade dan empat kaskade sedangkan enam kaskade inverternya adalah M_9 - M_{20}

**TABEL 1
PERBANDINGAN W DAN L FLIP-FLOP R-S HCMOS
DUA KASKADE, EMPAT KASKADE, DAN ENAM KASKADE**

No	Transistor	W (μm)	L (μm)
1	M_1	0,6	0,12
2	M_2	0,6	0,12
3	M_3	0,24	0,12
4	M_4	0,24	0,12
5	M_5	0,6	0,12
6	M_6	0,6	0,12
7	M_7	0,24	0,12
8	M_8	0,24	0,12
9	M_9	0,72	0,12
10	M_{10}	0,72	0,12
11	M_{11}	2,16	0,12
12	M_{12}	2,16	0,12

13	M ₁₃	6,48	0,12
14	M ₁₄	6,48	0,12
15	M ₁₅	19,44	0,12
16	M ₁₆	19,44	0,12
17	M ₁₇	58,32	0,12
18	M ₁₈	58,32	0,12
19	M ₁₉	174,96	0,12
20	M ₂₀	174,96	0,12

Berdasar pada Tabel 1 perbandingan W dan L gerbang dasar flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade untuk PMOS yaitu M₁, M₂, M₅, dan M₆ adalah W sebesar 0,6 μm dan L sebesar 0,12 μm , sedangkan untuk NMOS yaitu M₃, M₄, M₇, dan M₈ adalah W sebesar 0,24 μm dan L sebesar 0,12 μm . Dua kaskade dari flip-flop R-S HCMOS dua kaskade yaitu PMOS (M₉) dan NMOS (M₁₀) adalah W sebesar 0,72 μm dan L sebesar 0,12 μm , sedangkan untuk PMOS (M₁₀) dan NMOS (M₁₂) adalah W sebesar 2,16 μm dan L sebesar 0,12 μm . Empat kaskade dari flip-flop R-S HCMOS empat kaskade untuk perbandingan W dan L duakaskade pertama yaitu sama dengan dua kaskade dari flip-flop R-S HCMOS dua kaskade, sedangkan untuk dua kaskade berikutnya yaitu PMOS (M₁₁) dan NMOS (M₁₂) adalah W sebesar 2,16 μm dan L sebesar 0,12 μm , sedangkan untuk PMOS (M₁₀) dan NMOS (M₁₂) adalah W sebesar 6,48 μm dan L sebesar 0,12 μm . Enam kaskade dari flip-flop R-S HCMOS enamkaskade untuk perbandingan W dan L empat kaskadenya sama dengan empat kaskade dari flip-flop R-S HCMOS empat kaskade, sedangkan untuk dua kaskade berikutnya yaitu PMOS (M₁₇) dan NMOS (M₁₈) adalah W sebesar 58,32 μm dan L sebesar 0,12 μm , sedangkan untuk PMOS (M₁₉) dan NMOS (M₂₀) adalah W sebesar 174,12 μm dan L sebesar 0,12 μm .

TABEL 2
FAN OUT FLIP-FLOP R-SHCMOS
DUA KASKADE, EMPAT KASKADE, DAN ENAM KASKADE

Kaskade	Fan Out
Dua Kaskade	483
Empat Kaskade	6
Enam Kaskade	0

Berdasar pada Tabel 2 flip-flop R-S HCMOS dua kaskade memiliki *fan out* sebesar 483 sehingga mampu dibebani dengan 483 flip-flop sejenis. Sedangkan flip-flop R-S HCMOS empat kaskade masih mampu dibebani dengan 6 flip-flop sejenis. Tetapi flip-flop R-S HCMOS enam kaskade tidak mampu dibebani lagi. Analisis peningkatan kecepatan IC flip-flop R-S HCMOS menggunakan metode penambahan kaskade inverter meliputi:

- 1) Perhitungan dan simulasi VTC (*Voltage Transfer Characteristic*) flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade
- 2) Simulasi VTC dengan suhu maksimum atau minimum
- 3) Simulasi arus dengan suhu maksimum atau minimum
- 4) Simulasi *propagation delay* dengan beban kapasitif (C_L), frekuensi (f), suhu maksimum atau minimum serta perhitungan PD (*Power Dissipation*) dan PDP (*Power Delay Product*)

Perhitungan dan simulasi VTC flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade dalam Tabel 3.

TABEL 3
PERHITUNGAN DAN SIMULASI VTC FLIP-FLOP R-S HCMOS
DUA KASKADE, EMPAT KASKADE, DAN ENAM KASKADE

Parameter	Kriteria	Hasil	Satuan
V _{IL}	Perhitungan	2,5	V
	Simulasi	2,499	
V _{IH}	Perhitungan	2,5	
	Simulasi	2,491	
V _{OL}	Perhitungan	0	
	Simulasi	0	
V _{OH}	Perhitungan	5	

	Simulasi	5	
N_{ML}	Perhitungan	2,5	
	Simulasi	2,499	
N_{MH}	Perhitungan	2,5	
	Simulasi	2,509	

Berdasar pada Tabel 3 flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade dari hasil perhitungan karakteristik VTC menghasilkan $V_{IL}= 2,5$ V, $V_{IH}= 2,5$ V, $N_{ML}= 2,5$ V, dan $N_{MH}= 2,5$ V, sedangkan berdasarkan simulasi menghasilkan $V_{IL}= 2,499$ V, $V_{IH}= 2,491$ V, $N_{ML}= 2,5$ V, dan $N_{MH}= 2,509$ V, yang sama berdasarkan perhitungan dan simulasi hanyalah $V_{OL}= 0$ V, dan $V_{OH}= 5$ V.

Perhitungan dan simulasi *propagation delay* flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade ditunjukkan dalam Tabel 4.

TABEL 4
PERHITUNGAN DAN SIMULASI *PROPAGATION DELAY* FLIP-FLOP R-S HCMOS
DUA KASKADE, EMPAT KASKADE, DAN ENAM KASKADE

Kaskade	Parameter	Kriteria	C_1					Satuan
			0,5	1	5	15	50	
Dua Kaskade	T_{phl}	Perhitungan	0,355	0,711	3,555	10,66	35,555	ns
		Simulasi	0,295	0,586	2,918	8,771	29,91	
	T_{plh}	Perhitungan	0,888	1,777	8,888	26,666	88,888	
		Simulasi	0,736	1,108	7,308	21,795	72,165	
	T_{pd}	Perhitungan	0,621	1,244	6,221	18,366	62,221	
		Simulasi	0,515	0,847	5,113	15,283	50,728	
	T_r	Perhitungan	1,776	3,554	17,776	53,332	177,776	
		Simulasi	1,838	3,687	18,374	55,048	183,649	
	T_f	Perhitungan	0,71	1,422	7,111	21,32	71,1	
		Simulasi	0,721	1,443	7,358	22,128	73,732	
Empat Kaskade	T_{phl}	Perhitungan	0,039	0,079	0,395	1,185	3,95	ns
		Simulasi	0,038	0,066	0,328	0,977	3,255	
	T_{plh}	Perhitungan	0,098	0,197	0,987	2,962	9,876	
		Simulasi	0,084	0,168	0,817	2,47	8,132	
	T_{pd}	Perhitungan	0,068	0,138	0,691	2,074	6,913	
		Simulasi	0,061	0,414	0,572	1,723	5,693	
	T_r	Perhitungan	0,196	0,158	1,974	5,924	19,752	
		Simulasi	0,206	0,411	2,057	6,097	20,39	
	T_f	Perhitungan	0,078	0,394	0,79	2,37	7,9	
		Simulasi	0,099	0,170	0,803	2,414	8,303	
Enam Kaskade	T_{phl}	Perhitungan	0,004	0,008	0,043	0,131	0,438	ns
		Simulasi	0,004	0,008	0,036	0,109	0,363	
	T_{plh}	Perhitungan	0,010	0,021	0,109	0,329	1,097	
		Simulasi	0,009	0,018	0,091	0,272	0,905	
	T_{pd}	Perhitungan	0,025	0,050	0,076	0,23	0,767	
		Simulasi	0,006	0,013	0,063	0,190	0,634	
	T_r	Perhitungan	0,02	0,042	0,218	0,658	2,194	
		Simulasi	0,025	0,045	0,231	0,683	2,265	
	T_f	Perhitungan	0,08	0,016	0,086	0,262	0,876	
		Simulasi	0,009	0,018	0,091	0,264	0,891	

Berdasar pada Tabel 3.4 t_{PD} flip-flop R-S HCMOS dua kaskade ($C_L= 15$ pF) hasil perhitungan sebesar 18,366 ns, berdasarkan simulasi sebesar 15,283 ns. Flip-flop R-S HCMOS empat kaskade dengan $C_L= 15$ pF dari perhitungan menghasilkan t_{PD} sebesar 2,074 ns, berdasarkan simulasi sebesar 1,723 ns. Sedangkan untuk enam kaskade dengan $C_L= 15$ pF perhitungan t_{PD} yang dihasilkan sebesar 0,23 ns, dari simulasi sebesar 0,190 ns. Jadi flip-flop R-S HCMOS empat kaskade dengan $C_L= 15$ pF dari perhitungan maupun simulasi menghasilkan t_{PD} sebesar 9 kali lebih cepat dari flip-flop R-S HCMOS dua kaskade dengan C_L yang sama (15 pF). Sedangkan untuk enam kaskade dengan $C_L= 15$ pF dari perhitungan maupun simulasi menghasilkan t_{PD} sebesar 9 kali lebih cepat dari flip-flop R-S HCMOS empat kaskade dengan C_L yang sama.

Simulasi VTC flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade dengan suhu maksimum atau minimum ditunjukkan dalam Tabel 5.

TABEL 5
SIMULASI VTC FLIP-FLOP R-S HCMOS DUA KASKADE, EMPAT KASKADE
DAN ENAM KASKADE DENGAN SUHU MAKSIMUM ATAU MINIMUM

Parameter	Suhu		Satuan
	-271 °C	117 °C	
V_{IL}	2,441	2,5	V
V_{TH}	2,445	2,505	
V_{IH}	2,449	2,509	
V_{OL}	0	0	
V_{OH}	5	5	
N_{ML}	2,441	2,5	
N_{MH}	2,551	2,491	

Berdasar pada Tabel 5 flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade dari simulasi pada suhu -271 °C menghasilkan V_{IL} = 2,441 V, V_{IH} = 2,449 V, N_{ML} = 2,441 V, dan N_{MH} = 2,551 V, sedangkan pada suhu 117 °C menghasilkan V_{IL} = 2,5V, V_{IH} = 2,509 V, N_{ML} = 2,5 V, dan N_{MH} = 2,491 V, yang sama hanyalah V_{OL} = 0 V, dan V_{OH} = 5 V.

Simulasi arus flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade dengan suhu maksimum atau minimum ditunjukkan dalam Tabel 6.

TABEL 6
SIMULASI ARUS FLIP-FLOP R-S HCMOS DUA KASKADE, EMPAT KASKADE
DAN ENAM KASKADE DENGAN SUHU MAKSIMUM ATAU MINIMUM

Kaskade	Arus	Suhu		Satuan
		-271 °C	117 °C	
Dua Kaskade	I_{OH}	-5,064	-25,926	μA
	I_{OL}	5,064	25,848	pA
Empat Kaskade	I_{OH}	-5	-4,946	pA
	I_{OL}	4,999	4,946	pA
Enam Kaskade	I_{OH}	-4,969	-462,963	pA
	I_{OL}	4,979	462,536	pA

Berdasar pada Tabel 6 simulasi flip-flop R-S HCMOS dua kaskade pada suhu -271 °C menghasilkan I_{OH} = -5,064 μA dan I_{OL} = 5,064 pA, pada suhu 117 °C menghasilkan I_{OH} = -25,926 μA dan I_{OL} = 25,848 pA. Untuk flip-flop R-S HCMOS empat kaskade simulasi pada suhu -271 °C menghasilkan I_{OH} = -5 pA dan I_{OL} = 4,999 pA, pada suhu 117 °C memiliki I_{OH} = -4,946 pA; I_{OL} = 4,946 pA. Sedangkan untuk enam kaskade pada suhu -271 °C menghasilkan I_{OH} = -4,969 pA dan I_{OL} = 4,979 pA, pada suhu 117 °C memiliki I_{OH} = -462,963 pA; I_{OL} = 462,536 pA. Jadi flip-flop R-S HCMOS enam kaskade pada suhu -271 °C memiliki I_{OL} dan I_{OH} terendah pada suhu 117 °C memiliki I_{OL} dan I_{OH} tertinggi.

Simulasi flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade dengan C_L = 15 pF, suhu 117 °C dan frekuensi 2 MHz ditunjukkan dalam Tabel 7.

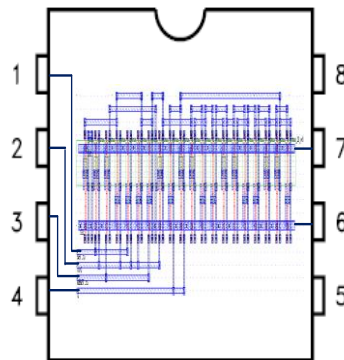
TABEL 7

SIMULASI FLIP-FLOP R-S HCMOS DUA KASKADE, EMPAT KAKADE, DAN ENAM KASKADE DENGAN $C_L=15$ pF, SUHU 117°C DAN FREKUENSI 2 MHZ

C_L (pF)	Suhu ($^\circ\text{C}$)	Frekuensi (MHz)	Kaskade	t_{PD} (ns)	PD (μW)	PDP (pJ)
15	117	2	Dua Kaskade	19,281	750	14,460
			Empat Kaskade	2,142	750	1,6065
			Enam Kaskade	0,239	750	0,1792

Berdasar pada Tabel 3.6 simulasi flip-flop R-S HCMOS empat kaskade dengan $C_L=15$ pF, suhu= 117°C dan frekuensi= 2 MHz menghasilkan t_{PD} sebesar 9 kali lebih cepat dan PDP sebesar 9 kali lebih kecil dari dua kaskade, sedangkan simulasi flip-flop R-S HCMOS enam kaskade menghasilkan t_{PD} sebesar 9 kali lebih cepat dan PDP sebesar 9 kali lebih kecil dari empat kaskade. Tetapi simulasi flip-flop R-S HCMOS, dua kaskade, empat kaskade, dan enam kaskade dengan $C_L=15$ pF, suhu= 117°C dan frekuensi= 2 MHz menghasilkan PD yang sama.

Layout IC flip-flop R-S HCMOS enam kaskade dengan pad i/o ditunjukkan dalam Gambar 3



Gambar 3. *Layout* IC Flip-flop R-S HCMOS Enam Kaskade dengan Pad i/o

V. PENUTUP

Berdasarkan hasil perancangan, perhitungan, dan simulasi flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade dapat disimpulkan hal-hal sebagai berikut:

- 1) Simulasi *propagation delay* flip-flop R-S HCMOS dua kaskade mampu beroperasi pada suhu -271°C sampai 117°C , sedangkan flip-flop R-S HCMOS empat kaskade, dan enam kaskade pada suhu -116°C sampai 117°C
- 2) Simulasi flip-flop R-S HCMOS enam kaskade dengan suhu= 117°C , $C_L=15$ pF, dan $f=2$ MHz, memiliki $t_{PD}=9$ kali lebih cepat dan PDP= 9 kali lebih kecil dari flip-flop R-S HCMOS empat kaskade. Sedangkan flip-flop R-S HCMOS empat kaskade memiliki $t_{PD}=9$ kali lebih cepat dan PDP= 9 kali lebih kecil juga dari t_{PD} flip-flop R-S HCMOS dua kaskade
- 3) Perhitungan *fan out* flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade memiliki 483, 6, dan 0. Jadi flip-flop R-S HCMOS enam kaskade tidak mampu dibebani lagi.
- 4) Simulasi VTC dan arus *output* flip-flop R-S HCMOS dua kaskade, empat kaskade, dan enam kaskade mampu beroperasi pada suhu -271°C sampai 117°C
- 5) Simulasi flip-flop R-S HCMOS enam kaskade pada suhu -271°C menghasilkan I_{OL} dan I_{OH} terendah, sedangkan pada suhu 117°C menghasilkan I_{OL} dan I_{OH} tertinggi.

Penggambaran *layout* IC flip-flop R-S HCMOS enam kaskade tanpa pad i/o dengan skala $1:0,06\ \mu\text{m}$ (1 *grid* senilai $0,06\ \mu\text{m}$) memiliki luasan $38\ \mu\text{m} \times 13\ \mu\text{m}$. Sedangkan penggambaran *layout* IC dengan pad i/o dengan skala memiliki luasan $2,8\ \text{mm} \times 1,5\ \text{mm}$.

DAFTAR PUSTAKA

- [1] Texas Instruments Incorporated, "HCMOS Design Considerations." www.texas.instruments.com. Diakses tanggal 27 Oktober 2009, 2002.
- [2] Rabaey, Jan M, "Digital Integrated Circuits: Design and Perspective", New Jersey: prentice Hall, 2002.
- [3] Geiger, Randall L.; Allen, P. E., dan Noel, R. S., "VLSI Design Techniques for Analog and Digital Circuits", New York: McGraw-Hill, Inc., 1990
- [4] Hodges, David A.; Jackson, Horace G dan Saleh, Resve A., "Analysis and Design Digital Integrated Circuits 3rd Edition", Singapore: McGraw-Hill, Inc., 2004.
- [5] Razavi, B., "Prospects of CMOS Technology for High-Speed Optical Communication Circuits", IEEE journal of solid-state circuits, vol. 37, no. 9, 2002.
- [6] De Massa, Thomas A. dan Ciccone, Zack., "Digital Integrated Circuits", Canada: John Wiley & Sons. 1996.
- [7] Ayers, John E., "Digital Integrated Circuits: Analysis And Design", Florida: CRC press, 2004.
- [8] Darmawansyah, A., "Analisis dan Perancangan IC (integrated circuit) R-S Flip-flop dengan Teknologi CMOS", Jurnal sains dan teknologi EMAS, vol. 16, 2006.
- [9] Sedra, Adel.S., "Microelectronics Circuits Fifth Editions", New York: Oxford University Press, 2004.
- [10] Wang, S-J dan Huang, H-C., "High-Speed and Low-Power CMOS Priority Encoders", IEEE journal of solid-state circuits, vol. 35, no. 10, 2000.